Министерство связи и массовых коммуникаций Российской Федерации

Сибирский государственный университет телекоммуникаций и информатики

# Лабораторная работа № 3

# «Исследование комбинационных схем»

# 

Выполнил:

студент группы ИП-811

Мироненко Кирилл

Проверил:

Старший преподаватель

Цветков Евгений Львович

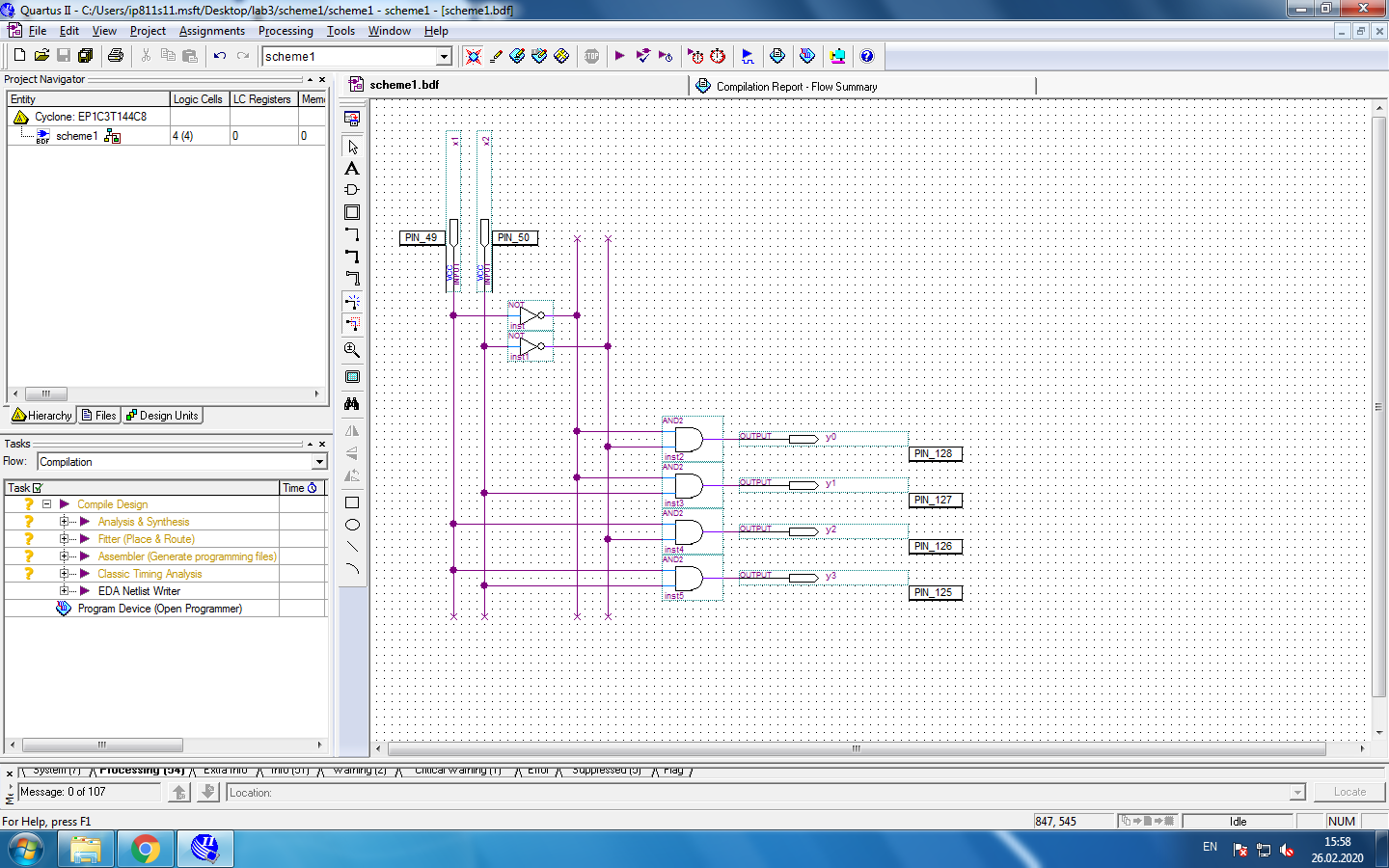
**1. Цель работы**

Целью работы является изучение принципов действия комбинационных схем: дешифратора, шифратора, преобразователя кода для семисегментного индикатора, мультиплексора, сумматора.

**2. Выполнение работы**

2.1 Исследован принцип работы дешифратора 2 x 4.

Сконфигурирована ПЛИС в соответствии с рисунком 3.1. Подключены к входам X0 и X1 переключатели S7 и S8, а к выходам Y0, Y1, Y2, Y3 светодиодные индикаторы LED5, LED6, LED7, LED8.



*Рисунок 3.1 – Схема дешифратора 2х4*

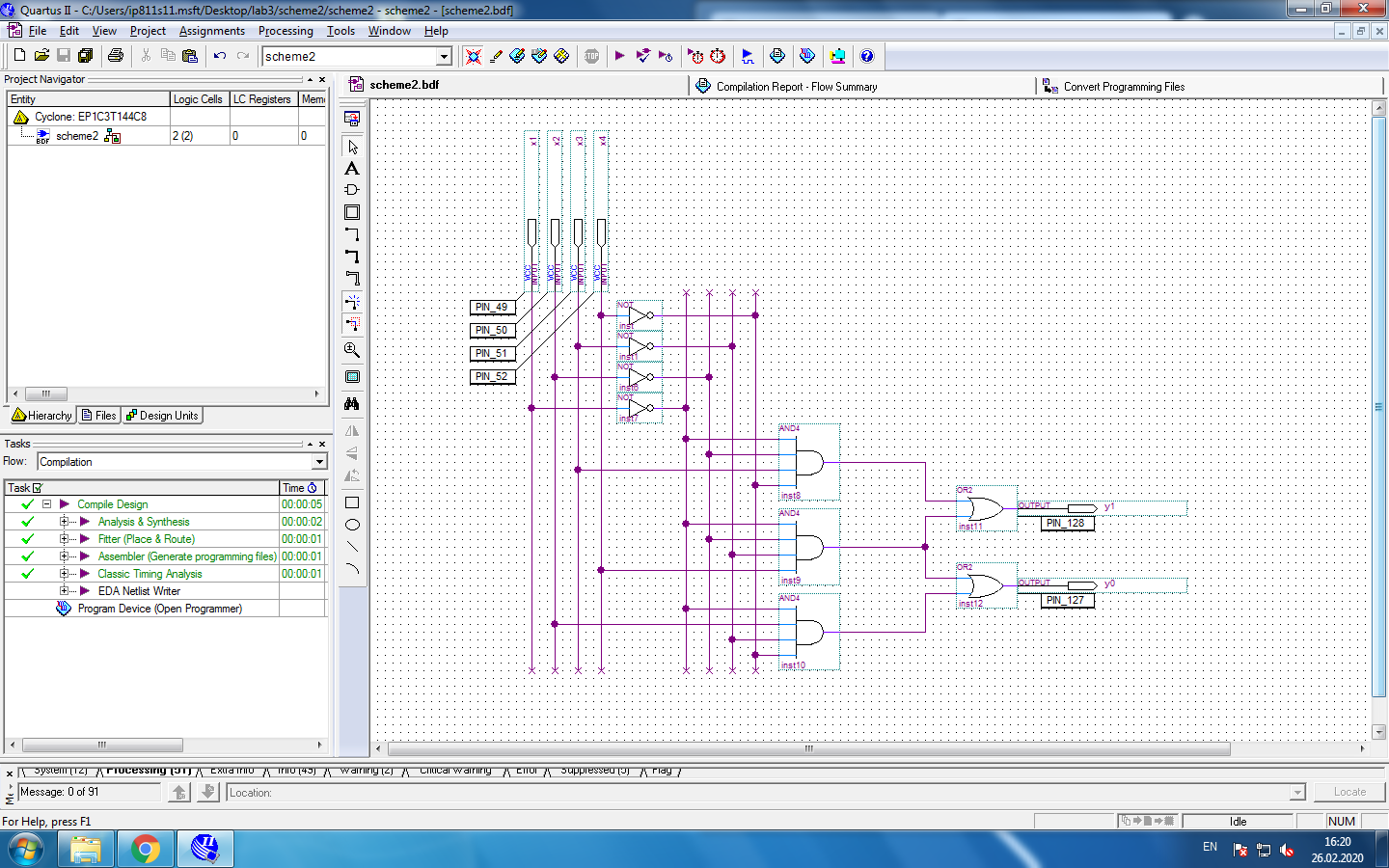
Подавая все возможные комбинации логических уровней на входы X0, X1 с помощью ключей S7, S8 и наблюдая за состояниями светодиодных индикаторов LED5, LED6, LED7, LED8, заполнена таблица истинности дешифратора.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

*Таблица 2.1 – Таблица истинности двухразрядного дешифратора*

2.2 Исследован принцип работы шифратора 4x2

Сконфигурирован ПЛИС в соответствии с рисунком.



*Рисунок 3.2 – Схема шифратора 4x2*

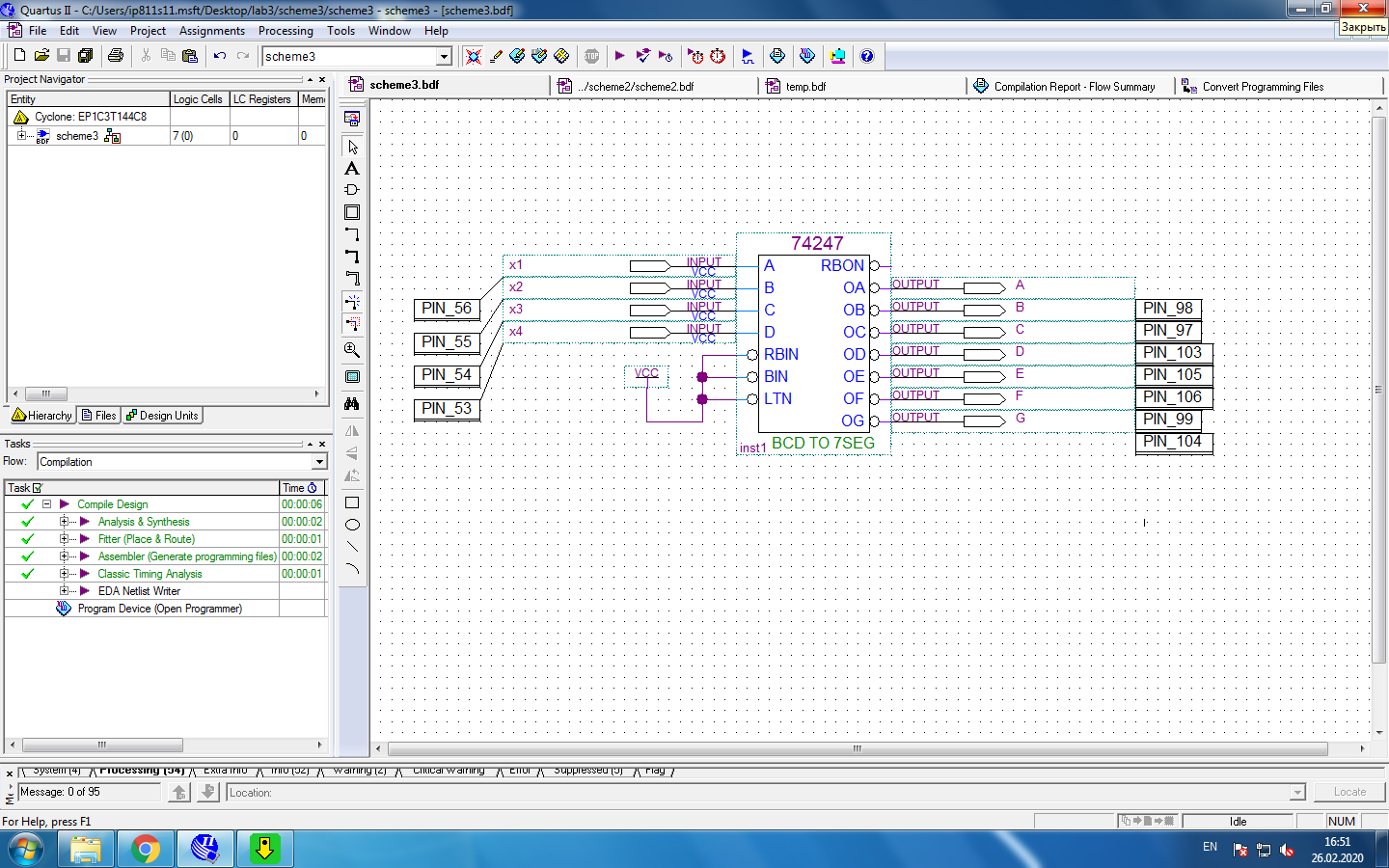
Шифратор выполняет функцию, обратную декодеру (дешифратору), то есть преобразует непозиционный (унитарный) двоичный 2n разрядный код в n разрядный позиционный код. При подаче на один из входов единичного сигнала на выходе формируется соответствующий двоичный код. Составим таблицу истинности шифратора при n = 2.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 |

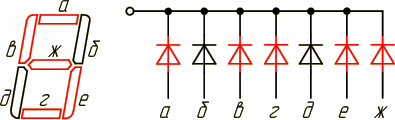
*Таблица 2.2 – Таблица истинности шифратора*

2.3 Исследована работа преобразователя кода для семисегментного индикатора.

Собрана схема, изображенная на рисунке 3.3.



*Рисунок 3.3 – Схема преобразователя кода для семисегментного индикатора*



Подавая с помощью ключей S8, S7, S6, S5 различные кодовые комбинации на входы X0, X1, X2, X3 определены цифры, высвечиваемые на индикаторе. По результатам эксперимента заполнена таблица 3.4.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Цифра | Двоичный код 8-4-2-1 | | | | а | б | в | г | д | е | ж |
| 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | **1** | 0 | 0 | 0 | **1** | 0 |
| 2 | 0 | 0 | 1 | 0 | **1** | **1** | 0 | **1** | **1** | 0 | **1** |
| 3 | 0 | 0 | 1 | 1 | **1** | **1** | 0 | **1** | 0 | **1** | **1** |
| 4 | 0 | 1 | 0 | 0 | 0 | **1** | **1** | 0 | 0 | **1** | **1** |
| 5 | 0 | 1 | 0 | 1 | **1** | 0 | **1** | **1** | 0 | **1** | **1** |
| 6 | 0 | 1 | 1 | 0 | **1** | 0 | **1** | **1** | 0 | **1** | **1** |
| 7 | 0 | 1 | 1 | 1 | **1** | **1** | 0 | 0 | 0 | **1** | 0 |
| 8 | 1 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** |
| 9 | 1 | 0 | 0 | 1 | **1** | **1** | **1** | **1** | 0 | **1** | **1** |

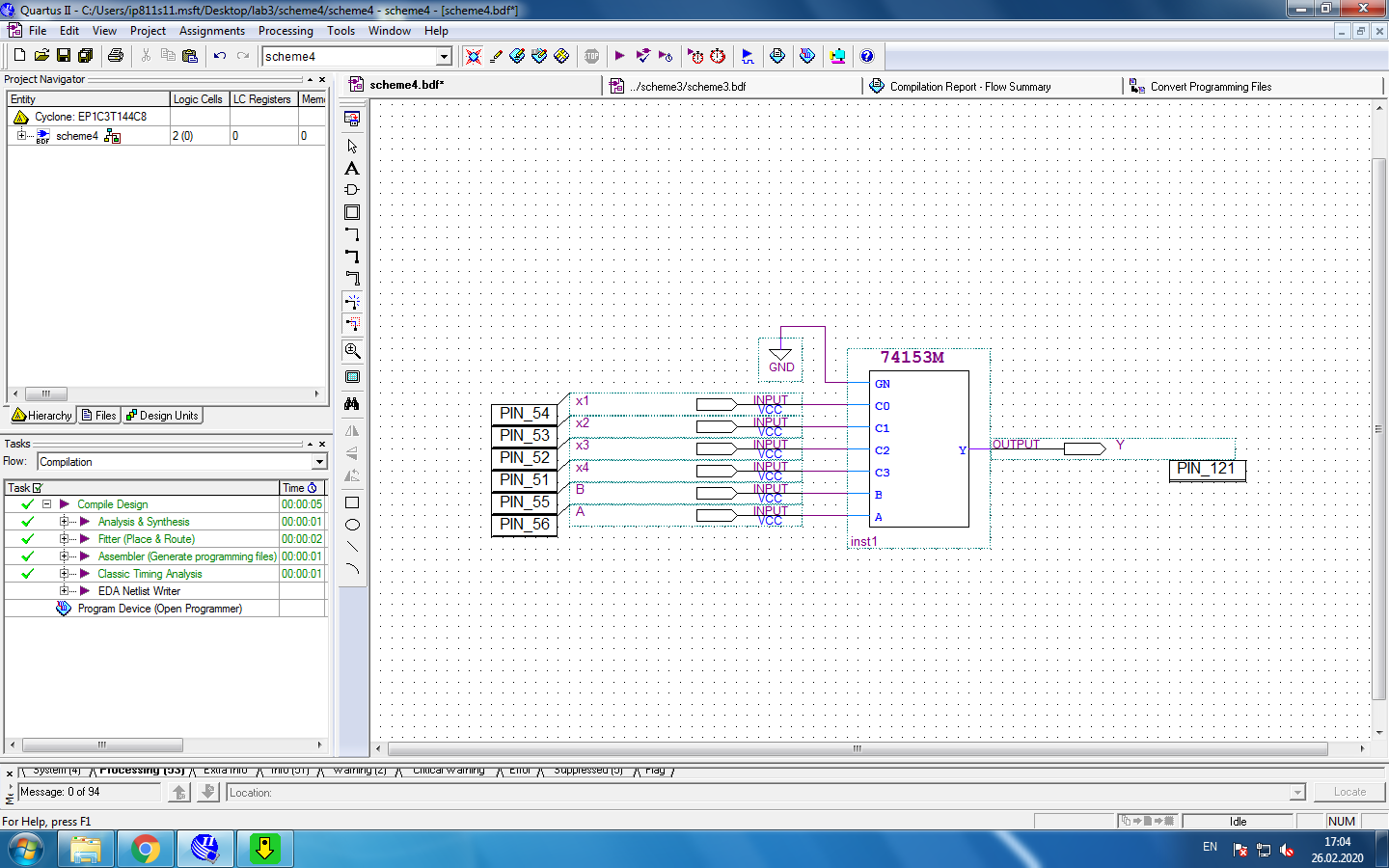
*Таблица 3.3 – Таблица истинности преобразователя*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  | Показания индикатора |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 1 | 1 | 3 |
| 0 | 1 | 0 | 0 | 4 |
| 0 | 1 | 0 | 1 | 5 |
| 0 | 1 | 1 | 0 | 6 |
| 0 | 1 | 1 | 1 | 7 |
| 1 | 0 | 0 | 0 | 8 |
| 1 | 0 | 0 | 1 | 9 |

*Таблица 3.4 – Таблица, описывающая работу преобразователя кода для семисегментного индикатора*

2.4 Исследована работа мультиплексора 4x1

Сконфигурирована ПЛИС в соответствии с рисунком 3.4.



*Рисунок 3.4 – Схема мультиплексора 4x1*

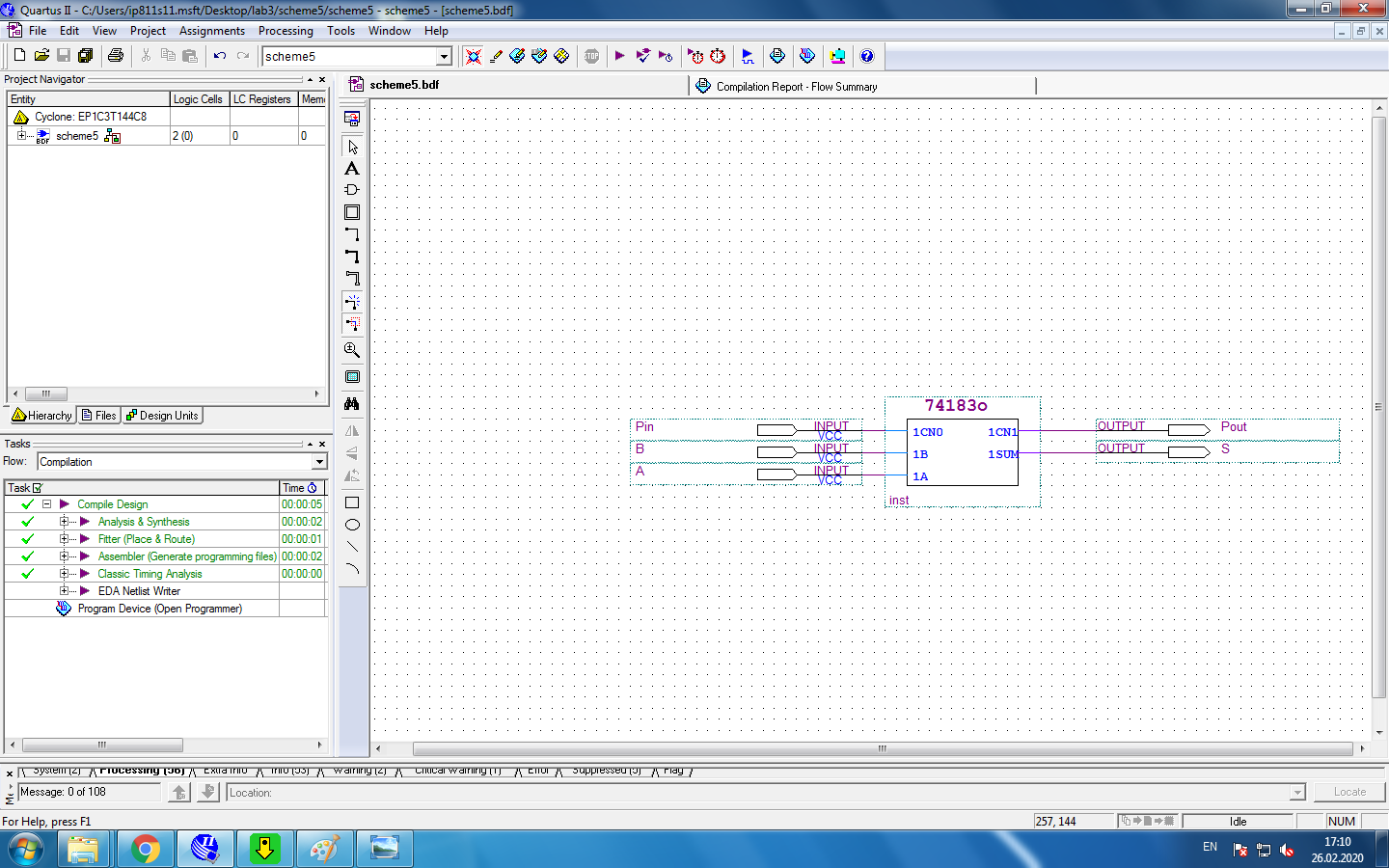
Поочередно устанавливая все возможные кодовые комбинации на адресных входах A и B, определены номера коммутируемых каналов. Номер коммутируемого канала определяется путем поочерёдного подключения к входам X0, X2, X3, X4 уровня логической единицы и наблюдения за выходом Y. Заполнена таблица 3.5.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| B | A |  |  |  |  |  |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |

*Таблица 3.5 – Таблица, описывающая работу мультиплексора*

3.5 Исследована схема сумматора

Сконфигурирована ПЛИС в соответствии с рисунком 3.5. Здесь **Pin**, **Pout** соответственно вход и выход единицы переноса, A и B – слагаемые, S – сумма.



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Pin** | **A** | **B** | **Pout** | **S** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

*Таблица 2.7 – Таблица истинности полного сумматора*